CMOSアナログICの実用設計

吉田晴彦

第5回

CMOSアナログIC　PWM01の回路設計(1)

第1回から第4回にわたってアナログIC開発者が知っておくべき「回路設計手順と勘所」,「レイアウト設計手順と勘所」および「マスク製作工程」,「ウェハ・プロセス(前工程)」と「パッケージング(後工程)」,「特性評価のしかた」および「IC設計者に必要な能力」などを中心に,一般的なアナログICの仕様検討から製造ラインに量産移管されるまでの製品開発の流れについて説明しました.

今回より実際のCMOSアナログIC(PWM01)の開発について,具体的に回路設計やレイアウト設計,特性評価などの過程を説明していきます.　(筆者)

表1　PWM01の回路ブロック

回路ブロック	
1	基準電圧源
2	基準電流源
3	電圧レギュレータ(VB1)
4	電圧レギュレータ(VB2)
5	OPアンプ(G_B = 5MHz)
6	OPアンプ(G_B = 1MHz)
7	加算器+リミッタ・アンプ
8	反転アンプ
9	発振器
10	PWMコンパレータ
11	低電圧誤動作防止回路
12	出力段

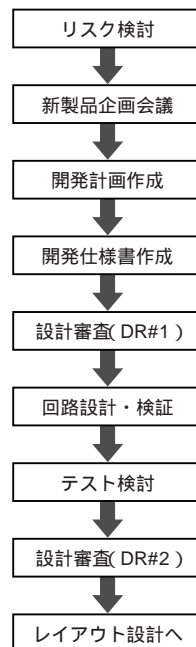
図1
回路設計フロー
リスクの洗い出しからレイアウト設計前までの流れを示す.回路設計着手前とレイアウト設計着手前に設計審査が行われ,不具合や新たなリスクが発生すれば上流ステップへ手戻りすることもある.

開発するCMOSアナログIC PWM01は,アナログ方式のPWM(pulse width modulation)制御フルブリッジ・インバータ,コンバータ用コントローラICです.

表1に示すように,アナログICの基本回路であるOPアンプ,コンパレータ,発振器,基準電圧源,レギュレータなどの回路ブロックから構成されます.

状態フィードバック制御とPI制御による高精度で安定な制御,3値(ダブル・キャリア)三角波PWM制御,定電流垂下特性の過電流保護機能などの特徴があります.アプリケーションとしては,工業用スイッチング・パワー・アンプ,AC/DC電源装置,UPS(uninterruptible power supply),バイポーラ電源,オーディオD級パワー・アンプなどがあります.

CMOSアナログICの仕様検討から回路設計までの流れ

それでは,実際にPWM01の開発を進めていきます.**図1**は仕様検討から回路設計までの流れを示したものです.

最初に製品開発を進めるに当たり,リスクの抽出とそのリスクにどう備えるかを関連部門が参集し検討します.検討内容の一部を**表2**に示します.また,過去のトラブル事例やフィールド情報からのフィードバックおよび原価試算,開発計画の検証なども行います.

新製品企画会議(**写真2**)では,商品企画部門が企画を提案します.**表3**のような審議内容に対し,事業部長や関連部門の部課長が製品開発の可否判断を行います.開発が承

KeyWord　インバータ,コンバータ,新製品企画会議,シミュレーション検証,回路TEG,MOSトランジスタ,トランスコンダクタンス,ドレインコンダクタンス,チャネル長変調パラメータ

表2　リスクの洗い出し

PWM01の開発に伴うリスクの洗い出しを行う．ここでのリスクの洗い出し検討の精度が開発期間（手戻り回数）を大きく左右するので，どのようなリスクが予測されるのかを十分に検証し対応策の事前検討を行い，仕様検討や開発計画を立案する．PWM01は教材を目的とした製品なので，実績のあるプロセス，パッケージを使用している．回路もなるべく標準的な回路構成とし，実績のある回路を多く使用している．従って，大きなリスクはない結果となっているが，状態フィードバック技術を用いたPWMアンプのアプリケーションとしては実績がないためTEGチップを作成し実機評価（写真1）を行っている．

分類	回答部門	項　目	懸念事項など	判　定
仕様	指定なし	要求仕様の完成度は？（未決定の項目は？）	客先確認済み	問題なし
	指定なし	機能の完成度は？（未決定の項目は？）	問題なし	問題なし
	指定なし	動作範囲は？（温度，電圧）	問題なし	問題なし
	指定なし	電気的特性で注意すべき点は？（精度，ばらつきなど）	問題なし	問題なし
	指定なし	本ICでの仕様外，常識的動作で注意すべき点は？	問題なし	問題なし
	指定なし	標準値のみの項目はないか？	なし	問題なし
	指定なし	将来，温度，電圧範囲等の拡大要求の可能性はないか？	なし	問題なし
	指定なし	パッド，端子配置の完成度は？	問題なし	問題なし
	指定なし	使用パッケージは？	DMP-24	問題なし
	指定なし	測定回路，測定条件は明確か？	決定済み	問題なし
	商品企画	車載の可能性は？	なし	問題なし
	商品企画	特殊マークの有無は？	PWM01としてマーキングを行う	問題なし
	指定なし	小型パッケージの文字数制限で表示文字の要求はあるか？	なし	問題なし
	商品企画	会社ロゴ指定に要求はあるか？	なし	問題なし
	指定なし	各種法令違反の危険性は？（PL法，特許）	なし	問題なし
	商品企画	ターゲット・ユーザ以外への販売はあるか？ （ターゲット・ユーザ以外にも売れるのか？）	ターゲットのみ，技術書の添付用製品	問題なし
	設計	出力電流の仕様でパッケージの熱抵抗は十分か？	十分	問題なし
	設計	テスト・モードは明確になっているか？	テスト・モードなし	問題なし
	商品企画	温度範囲での保証項目はないか？	なし	問題なし
	設計	使用上の禁止事項，制限事項はないか？	なし	問題なし
	商品企画	バンプの有無（仕様）は？	なし	問題なし
	技術	パッケージや包装材の新規採用予定はないか？	なし	問題なし
	商品企画	アプリケーションは判明しているか？	技術書の添付用製品（教材）	問題なし
回路	設計	PDK（process design kit）は整備されているか？	既存プロセス使用，整備済み	問題なし
	設計	新規回路はあるか？	OPアンプ部，TEGで確認済み	問題なし
	指定なし	ESD（electrostatic discharge）への懸念は？	実績あり（NJU7600など）	問題なし
	設計	ESDに関し開発部門の関与の必要性は？	なし	問題なし
	設計	類似品の試作実績は？	NJU7600など	問題なし
	設計	チップ・サイズの精度は？	約95％	問題なし
	設計	特許抵触の可能性は？	なし	問題なし
	設計	新規セルを使用？	TEGでの確認済み	問題なし
	設計	既存セルの新規組み合わせ？	TEGでの確認済み	問題なし
	設計	過去の失敗事例に当てはまる特性，回路はないか？	なし	問題なし
プロセス	指定なし	使用プロセスは？	1.6 μm/12V耐圧CMOS オプション：VND, POM（2k Ω），AL2, PID	問題なし
	指定なし	ばらつき大のパラメータは？	考慮済み，問題なし	問題なし
	プロセス	類似品の試作実績は？	NJU7600など多数あり	問題なし
	プロセス	プロセスDRは？	済み	問題なし
	設計	オプション等追加素子はないか？	VND, POM（実績あり）	問題なし
	指定なし	新規外注先は使用しないか？	社内プロセス	問題なし
テスト	技術	トリミングはあるか？（レーザ，ZAP有無）	あり（73ヵ所）	問題なし
	技術	OTP（one time program）はあるか？（EEPROM）	なし	問題なし
	技術	新機能の確認：今までの製品にない新機能があるか？	なし，テスト打ち合わせで調整	問題なし
	技術	特殊仕様の確認：評価上特別に考慮することはあるか？	なし	問題なし
	技術	特殊仕様の確認：T仕様，Z仕様はあるか？	車載なし	問題なし

分類	回答部門	項　目	懸念事項など	判　定
テスト	全部門	バーンイン試験を行う必要があるか？	なし	問題なし
	全部門	カスタム仕様の有無	なし	問題なし
	全部門	特殊外付け部品の確認：外付けアプリケーション回路に入手困難な部品があるか？	なし	問題なし
	技術	装置上の制約の確認：動作保証電圧範囲	なし	問題なし
	技術	装置上の制約の確認：動作保証電流範囲	出力部電流：50mA（標準）の保証は要検討．20mA（最小）の保証は問題なし	問題なし
	技術	装置上の制約の確認：動作保証温度範囲	なし	問題なし
	技術	装置上の制約の確認：最高動作保証周波数	なし	問題なし
	技術	装置上の制約の確認：高精度保証項目の有無	入力バイアス電流：0.1nA（標準）に対しテスタ分解能を要検討	問題なし
	技術	装置上の制約の確認：ピン数（パッド数）	なし	問題なし
	技術	装置上の制約の確認：パッド・サイズ（針当ての容易性）	なし	問題なし
	技術	装置上の制約の確認：パッド・ピッチ	なし	問題なし
	技術	装置上の制約の確認：パターン・メモリ容量の増設の必要性	なし	問題なし
	指定なし	テスト仕様の確認：設計保証項目有無（テスト測定不可項目含む）	OPアンプ：電圧利得，利得帯域幅積，およびディレイ・マッチングを設計と要検討	問題なし
	指定なし	テスト仕様の確認：削除可能項目の有無（省略可能項目）（設計保証，別テストで保証が可能か）	設計と要検討	問題なし
	指定なし	テスト仕様の確認：代替測定の有無	設計と要検討	問題なし
	指定なし	テスト仕様の確認：DC項目をDC的に測定できるように考慮されているか	三角波のH，L側電圧の測定を要検討	問題なし
	指定なし	テスト回路の確認：テスト時間短縮を目的としたテスト回路の有無	設計と要検討	問題なし
	技術	パッケージに関しての確認：FT先，FTテスタについて	WT：TS1000　FT：DIC8034	問題なし
	技術	パッケージに関しての確認：ハンドラによる制約有無（テスタ，測定回路）	なし	問題なし
	技術	パッケージに関しての確認：バーン・インの有無，装置仕様	不要	問題なし
	技術	パッケージに関しての確認：FFP, CSPか？（FTが特殊）	DMP-24	問題なし
	技術	パッケージに関しての確認：MCP（multi-chip package）か？	MCPでない	問題なし
パッケージ	技術	パッケージ認定は？（3品種以上の実績あるか？）	済み	問題なし
	設計	搭載チップ・サイズは？	2.12mm×2.20mm	問題なし
	技術	リード・フレームは新規か？	既存	問題なし
	技術	社内製か社外製か？	社内	問題なし
	技術	社外製パッケージの社内使用の実績はあるか？		問題なし
	技術	パッケージ　DRは完了済みか？	済み	問題なし
	技術	評価用パッケージは特殊か？	一般仕様	問題なし
	技術	新規外注先は使用しないか？	なし	問題なし
	商品企画	実装条件の客先要求は？	なし	問題なし
	商品企画	パッケージ外形の公差要求は？	なし	問題なし
	商品企画	パッケージ外形の包装仕様は？	一般仕様	問題なし
信頼性	商品企画	特殊な信頼性条件は必要か？（客先により異なる）	なし	問題なし
その他	設計	派生品の場合，コア品の開発状況は？	コア製品のため，派生品なし	問題なし
	指定なし	派生品の場合の審査項目は？		問題なし
	設計	汎用品かカスタム品か？	CQ出版社カスタム品	問題なし
	設計	アプリケーションでの確認は？	TEGチップで実機（D級アンプでの音質評価など）評価し，客先了承済み	問題なし

写真1　D級アンプのアプリケーション回路で音質評価を実施

状態フィードバック技術を用いたPWMアンプとしてのアプリケーションは実績がないため，TEGチップを作成し実機での機能確認検証を行った．機能確認としては，オーディオD級アンプでのアプリケーションで，諸特性に加えPWMアンプの周波数特性（位相まわり），三角波の線形性，PWMコンパレータの遅延，出力段のデッド・タイムなどによる音質への影響を確認している．写真はCQ出版社，インパルス社，新日本無線との合同実機評価風景．

表3　新製品企画会議における審議内容

企画の狙いと戦略的位置付け，企画概要，企画内容，適応フィールドのほかに，市場状況，競合製品（現在の競合，将来予想される競合），販売の可能性，製品ライフ，製品概要（機能，仕様，プロセス，パッケージなど），開発スケジュール，予想される問題・リスク，特許，開発費・原価，設備，新規投資などが審議される．また，市場や顧客要求の変化を先読みしているか，社会ニーズを重視しているか，共通の姿勢がとれているか，衆知思考したか…なども審議の対象となる．

企画の狙いと戦略的位置づけ
CQ出版社が企画するCMOSアナログIC回路設計とPWM変調技術の書籍作成にあたり，CQ出版社，インパルス社，新日本無線の3社共同でPWM変調用ICを開発し，書籍に具体的なIC開発事例と，PWMアンプのアプリケーション事例の提供，および回路開発者のための実務的な教材作成を行い，アナログ技術者の能力向上に寄与する．
企画概要
開発する製品は状態フィードバック制御とPI制御による高精度PWMアンプIC． 共同開発パートナ（CQ出版社，インパルス社）による電力応用，低ひずみ化，大電流保護回路などの技術の確立とアプリケーション開発，および，電子産業界への社会貢献を図る．
企画内容
・定電流垂下特性の過電流保護 ・出力電流の最大値をプログラム可能 ・状態フィードバックとPI制御による高精度で安定な制御 ・3値（ダブル・キャリア）三角波PWM変調器を内蔵 ・フォトカプラを直接ドライブ可能
適応フィールド
工業用スイッチング・パワー・アンプ，AC/DC電源装置，UPS，バイポーラ電源，オーディオD級パワー・アンプなど
市場状況

写真2　新製品企画会議

2006年9月にPWM01の新製品企画会議が行われ，表3のような内容について審議し，製品開発が承認された．

表4　PWM01の開発計画書

開発要旨，製品概要，製品仕様，開発スケジュールのほかに，予算，設備投資，原価試算，特許関連情報，販売見込みなどが盛り込まれる．

開発要旨	
学生や若手エンジニアの育成を目的に，CQ出版社，インパルス社とのコラボレーションによる産業界への社会貢献．また，状態フィードバック制御を用いたPWMアンプ技術の確立により，工業用スイッチング・アンプ，UPS，バイポーラ電源，高音質D級アンプなどへの応用を図る．	
製品概要	
イ．品名：PWM01	ロ．用途：電源，D級アンプなど
ハ．外形：DMP-24	ニ．顧客：CQ出版社
製品仕様	
イ．機能：状態フィードバック制御とPI制御による高精度PWMアンプ	
ロ．構造：CMOS（耐圧：12V, 最小ゲート長：1.6 μm）	
開発スケジュール	
イ．着手：2006年9月	ロ．ＥＳ：2007年5月
ハ．ＣＳ：2007年7月	ニ．生産：2007年8月
予算	

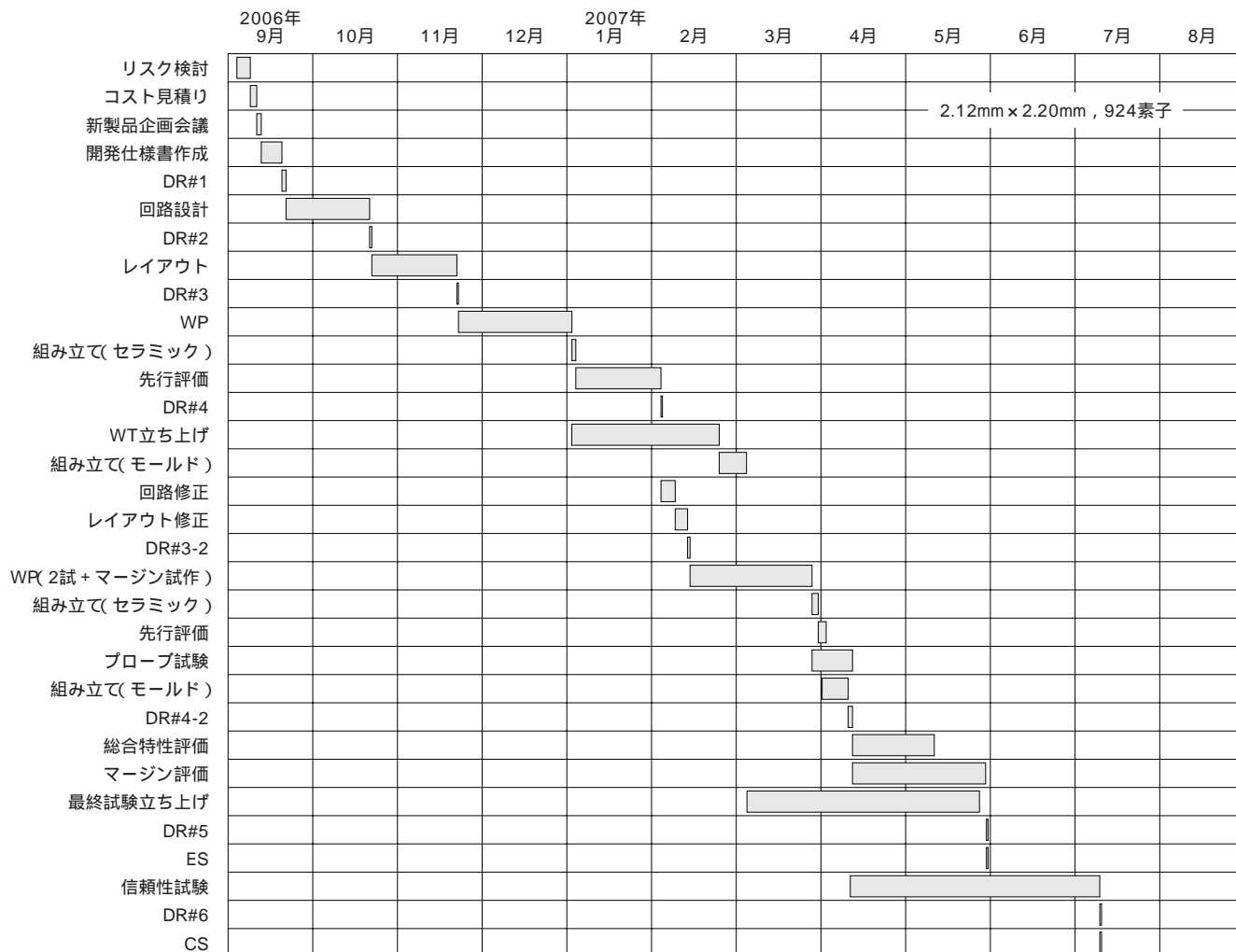



図2　開発スケジュール

全体の製品開発の流れを把握し，関連部門との調整，開発工数の見積り，要員計画，開発スケジュールの立案を行う．PWM01はチップ・サイズ：2.12mm×2.20mm，素子数：924素子で構成される．実績のあるプロセスを使用し既存回路を多数流用しているので，設計者1名で回路設計期間：30日，レイアウト設計期間：30日と比較的短い期間での開発スケジュール（ES注2：2007年5月下旬，CS注3：2007年7月下旬）となっている．

認されれば**表4**のような開発計画書を作成し，設計・技術部門は製品開発を始めることになります．PWM01は2006年9月の新製品企画会議で開発が承認され，製品開発が開始となりました．

次に，開発仕様書（**表5**）や開発スケジュール（**図2**）などの作成を行い，設計審査DR#1（**写真3**）で問題点がなければ，次のステップである回路設計の着手となります．

回路設計は，開発仕様書に基づき，まず機能や性能を実現させるための詳細ブロック図を作成します．PWM01は**表1**の回路ブロックにより構成されるので，各回路ブロックに対し，どのような回路構成で要求される機能を実現できるかを検討していきます．

また，回路シミュレータを使って，回路構成や定数の最適化，および設計された回路が開発仕様を満足するかなどの検証を行います．また，各素子のばらつき（絶対値ばらつき，相対値ばらつき），温度変動，電源電圧変動などを考慮したシミュレーション検証や回路TEG注1での実験結果などを設計予実表にまとめ，すべての条件下で開発仕様と設計検証結果との整合性や妥当性を確認します．

注1：TEG（test element group）には回路TEG，デバイスTEG，プロセスTEGがある．回路TEGは回路性能の確認や定数の最適化などのためにICを構成する基本回路などの特性評価を行う．デバイスTEGは素子単体の特性評価やモデル・パラメータの抽出などを行う．プロセスTEGは材料・基本プロセスの評価や故障メカニズム解析などを行う．

注2：ES（engineering sample）とは，総合特性評価や最終試験で，特性規格を満足したサンプルのこと．特性規格は満足するが信頼度・品質に関しては保証しないサンプルで顧客における試作評価用として位置付けられる．

注3：CS（commercial sample）とは，特性規格を満足し，かつ信頼度・品質に関しても保証するサンプルのこと．顧客における製品適用に向けたサンプルとして位置付けられる．

表5　開発仕様書の一部

■ 概要

PWM01は，PWM方式のフルブリッジ・インバータ，コンバータ用アナログ方式のコントローラICである．代表的なアプリケーションはスイッチング（D級）パワー・アンプである．

スイッチング・アンプに不可欠な出力LCフィルタの負荷側から安定なフィードバックを施すことができる．そのため，LCフィルタによって発生するひずみ，出力インピーダンス，高域周波数特性の変動などを抑制し，ロバスト性の高いスイッチング・パワー・アンプを実現することができる．

工業用アプリケーションでは過電流保護機能がきわめて重要である． PWM01の過電流保護は理想に近い定電流垂下特性を実現する．主回路のMOSFETやIGBTを保護するだけでなく，負荷装置を過電流から保護するために出力電流の最大値をプログラムすることも可能である．これらの機能は，ユニークな状態フィードバック制御回路の開発によって可能になった．

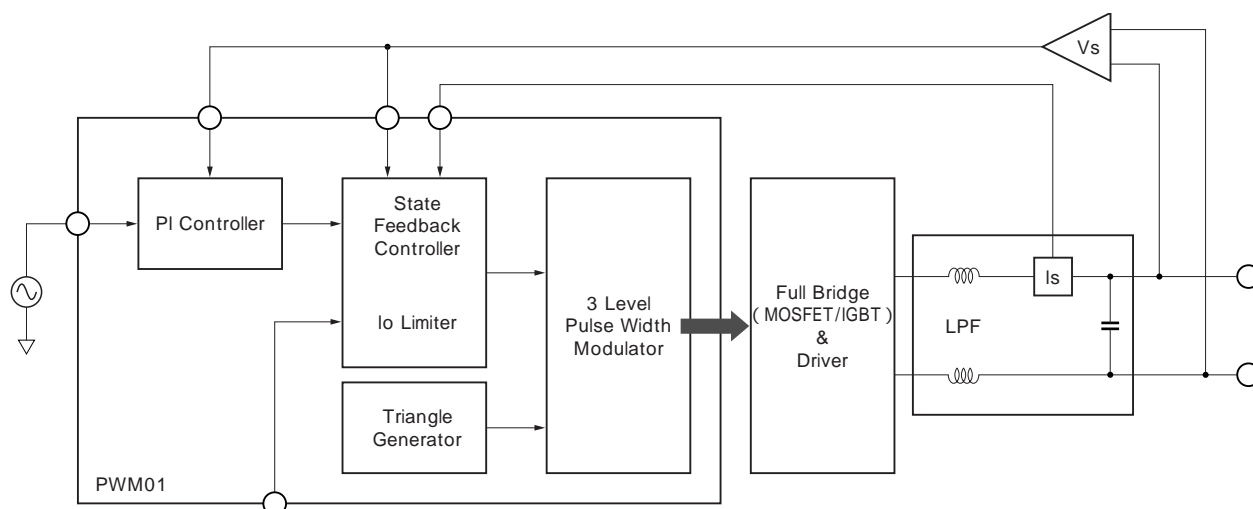
PWM01は3値（ダブル・キャリア）三角波PWM変調器を内蔵し，スイッチング周波数の範囲は10kHz～400kHzである．100W～10kWのフルブリッジ・インバータ，コンバータの制御部に最適である．

■ アプリケーション

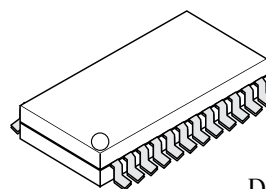
- 工業用スイッチング・パワー・アンプ
- AC/DC電源装置
- UPS
- バイポーラ電源
- オーディオ D級パワー・アンプ
- 電気二重層キャパシタ蓄電装置
- CV/CC DC Power Supply

■ 特長

- 定電流垂下特性の過電流保護
- 最大出力電流値のプログラミング
- 状態フィードバックとPI制御による高精度で安定な制御
- 3値（ダブル・キャリア）三角波PWM変調器を内蔵
- フォトカプラを直接ドライブ可能

■ 応用回路例

■ 絶対最大定格（T_a＝25℃）

項　目	定格値	略号（単位）
電源電圧	＋10	V^+（V）
出力シンク電流	100	I_o（mA）
消費電力	700	P_D（mW）
動作温度範囲	－40～＋85	T_{opr}（℃）
保存温度範囲	－40～＋125	T_{stg}（℃）

■ 外形

DMP-24

■ 推奨動作条件

項　目	記　号	最　小	標　準	最　大	単　位
電源電圧	V^+	4.7	－	9	V
発振器タイミング抵抗	R_T	10	100	200	kΩ
発振器タイミング・コンデンサ	C_r	33	120	－	pF
発振周波数	f_{OSC}	10	20	400	kHz

■ 電気的特性（V^+＝5V，R_T＝100kΩ，C_T＝120pF，V_I＝V_O，R_I＝R_O，C_I＝C_O，P_I＝P_O，V_{IH}＝V_{B1}，V_{IL}＝GND，T_a＝25℃）

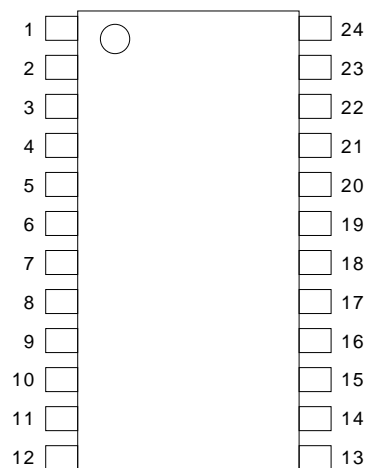
項　目	記　号	条　件	最　小	標　準	最　大	単　位
電圧レギュレータ部						
出力電圧1	V_{REG1}	I_{REG1}＝0mA	−2％	4.0	＋2％	V
ロード・レギュレーション1	ΔV_{REG1}	I_{REG1}＝0mA～1mA	−	−	20	mV
出力電圧2	V_{REG2}	I_{REG2}＝0mA	−2％	2.0	＋2％	V
ロード・レギュレーション2	ΔV_{REG2}	I_{REG2}＝0mA～5mA	−	−	20	mV
OPアンプ：U1，U2						
入力オフセット電圧	V_{IO}		−	−	5	mV
入力バイアス電流	I_B		−	0.1	−	nA
電圧利得	A_V		−	75	−	dB
利得帯域幅積	G_B	f＝100kHz	−	5	−	MHz
最大出力電圧	V_{OM}	R_L＝10kΩ	3.5	−	−	V
入力電圧範囲	V_{ICM}		0.5～3.5	−	−	V
出力ソース電流	I_{OM+}	V_o＝2V，V_{IN-}＝1.8V	1	−	−	mA
出力シンク電流	I_{OM-}	V_o＝2V，V_{IN-}＝2.2V	0.2	0.4	−	mA
OPアンプ：U3，U4						
入力オフセット電圧	V_{IO}		−	−	5	mV
入力バイアス電流	I_B		−	0.1	−	nA
電圧利得	A_V		−	75	−	dB
利得帯域幅積	G_B	f＝100kHz	−	5	−	MHz
最大出力電圧	V_{OM}	R_L＝10kΩ	3.5	−	−	V
入力電圧範囲	V_{ICM}		0.5～3.5	−	−	V
出力ソース電流	I_{OM+}	V_o＝2V，V_{IN-}＝1.8V	1	−	−	mA
出力シンク電流	I_{OM-}	V_o＝2V，V_{IN-}＝2.2V	0.4	0.7	−	mA
加算＋リミッタ・アンプ：U5						
入力オフセット電圧	V_{IO}		−	−	5	mV
利得帯域幅積	G_B		−	5	−	MHz
最大出力電圧	V_{OM}	R_L＝10kΩ	3.5	−	−	V
出力ソース電流	I_{OM+}	V_o＝2V，V_{IN-}＝1.8V	1	−	−	mA
出力シンク電流	I_{OM-}	V_o＝2V，V_{IN-}＝2.2V	0.4	0.7	−	mA
クランプ入力電圧範囲	$V_{I\text{-}IH}$	IH端子	1.5～3.5	−	−	V
	$V_{I\text{-}IL}$	IL端子	0.5～3.5	−	−	V
クランプ電圧	V_{LIM+}	V_{IH}＝3V	2.95	3.00	3.05	V
	V_{LIM-}	V_{IL}＝1V	0.95	1.00	1.05	V
低電圧誤動作防止回路部						
ONスレッショルド電圧	$V_{T\text{-}ON}$	V^+＝L→H	4.2	4.4	4.6	V
OFFスレッショルド電圧	$V_{T\text{-}OFF}$	V^+＝H→L	4.0	4.2	4.4	V
ヒステリシス幅	V_{HYS}		100	200	−	mV
発振器部						
RT端子電圧	V_{RT}		−5％	1.0	＋5％	V
発振周波数	f_{OSC}		−10％	20	＋10％	kHz
三角波H側電圧	V_{TH}	H側スレッショルド電圧（DC測定）	2.94	3.00	3.06	V
三角波L側電圧	V_{TL}	L側スレッショルド電圧（DC測定）	0.97	1.00	1.03	V
周波数電源電圧変動	f_{DV}	V^+＝4.7～9V	−	1	−	%
周波数温度変動	f_{DT}	T_a＝−40～＋85℃	−	3	−	%
PWM比較器部						
最大デューティ・サイクル	$MAXDUTY_{G1}$	G1　V_{CI}＝2.2V，V_{CO}＝3.5V	96	98	99.5	%
	$MAXDUTY_{G3}$	G3　V_{CI}＝2.2V，V_{CO}＝0.5V	96	98	99.5	%
最小デューティ・サイクル	$MINDUTY_{G2}$	G2　V_{CI}＝2.2V，V_{CO}＝3.5V	0.5	2	4	%
	$MINDUTY_{G4}$	G4　V_{CI}＝2.2V，V_{CO}＝0.5V	0.5	2	4	%
出力部						
出力電流	I_O	V_{DS}＝0.5V	20	50	−	mA
出力リーク電流	I_{LEAK}	V_{OUT}＝5V	−	−	0.1	μA
ディレイ・マッチング	t_{DM1}	$R_{PULL\text{-}UP}$＝330Ω	−	25	−	ns
	t_{DM2}	$R_{PULL\text{-}UP}$＝330Ω，C_L＝47pF	−	45	−	ns

表5　開発仕様書の一部（つづき）

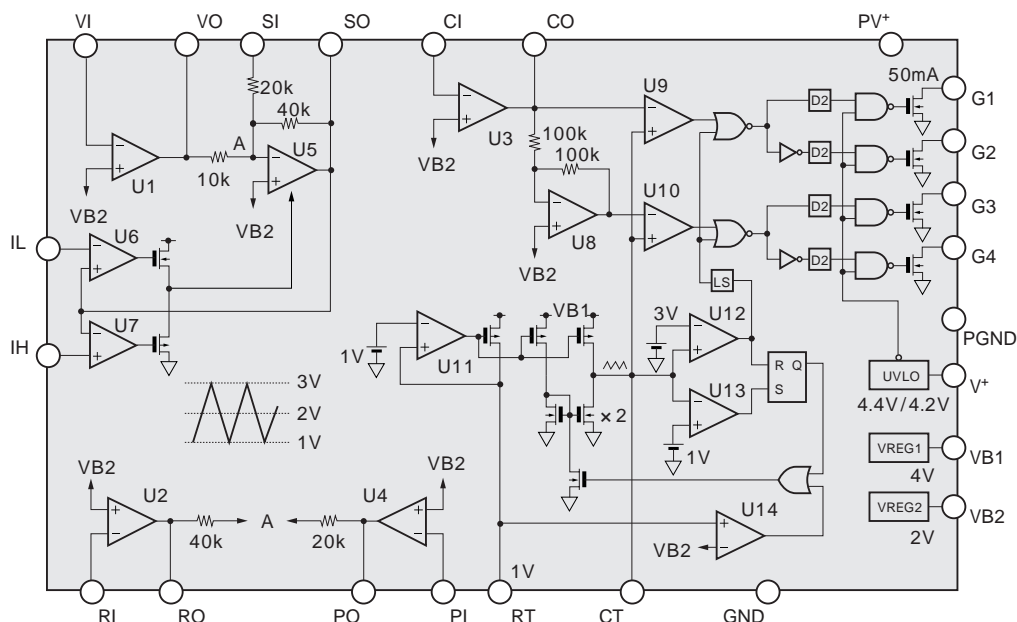
項　目	記　号	条　件	最　小	標　準	最　大	単　位
総合特性						
消費電流	I_{DD}	R_L＝無負荷	－	6.5	10	mA

■ 端子機能

端子番号	端子名	I/O	機　能
1	VB2	I/O	電圧レギュレータ2（V_{REG2}：2V）出力端子
2	CO	I/O	OPアンプU3出力端子
3	CI	I	OPアンプU3反転入力端子
4	RI	I	OPアンプU2反転入力端子
5	RO	I/O	OPアンプU2出力端子
6	PO	I/O	OPアンプU4出力端子
7	PI	I	OPアンプU4反転入力端子
8	VI	I	OPアンプU1反転入力端子
9	VO	I/O	OPアンプU1出力端子
10	SO	I/O	加算＋リミッタ・アンプU5出力端子
11	SI	I	加算＋リミッタ・アンプU5反転入力端子
12	GND	－	GND端子：GND＝0V
13	IH	I	H側クランプ電圧設定端子
14	IL	I	L側クランプ電圧設定端子
15	PGND	－	GND端子：PGND＝0V
16	G4	O	出力端子（オープン・ドレイン出力）
17	G3	O	出力端子（オープン・ドレイン出力）
18	G2	O	出力端子（オープン・ドレイン出力）
19	G1	O	出力端子（オープン・ドレイン出力）
20	PV+	－	電源端子
21	CT	I/O	発振回路用キャパシタ接続端子
22	RT	I/O	発振回路用抵抗接続端子
23	VB1	I/O	電圧レギュレータ1（V_{REG1}：4V）出力端子
24	V+	－	電源端子

■ 端子配列

ピン配置

1. VB2	24. V+
2. CO	23. VB1
3. CI	22. RT
4. RI	21. CT
5. RO	20. PV+
6. PO	19. G1
7. PI	18. G2
8. VI	17. G3
9. VO	16. G4
10. SO	15. PGND
11. SI	14. IL
12. GND	13. IH

■ 端子配列

PWM01に使用するプロセスとMOSトランジスタの特性

● 使用プロセス

PWM01では，**表6**に示す12V耐圧で最小ゲート長が1.6 μmのCMOSプロセスを使って回路設計を行います．

● MOSトランジスタの記号

本連載で用いるMOSトランジスタの記号を**図3**に示します．

MOSトランジスタは4端子ですが，基板（ボディ）端子がNMOSトランジスタで回路の最低電位（GND）に，PMOSトランジスタで回路の最高電位（V^+）に接続されている場合は，ボディ端子を省略した**図3**（**b**）のような記号で表すことにします．

また，PWM01に用いる半導体製造プロセスでは，**表6**に示すエンハンスメント型，低V_T型，イニシャル型，ディプリーション型の4種類のトランジスタを使用することが

写真3　設計審査（DR#1）
開発仕様書の内容，開発スケジュールなどの検証を行い，問題ないことが確認されたので，次ステップである回路設計に着手となる．

表6　12V耐圧CMOSプロセス

特　性		プロセス	記　号	値	単　位
最大動作電圧				12	V
ゲート酸化膜厚			t_{OX}	270	Å
最小ゲート長		NMOS		1.6	μm
		PMOS		1.6	μm
しきい値電圧	エンハンスメント型[注4]	NMOS	V_{TNE}	0.80	V
		PMOS	V_{TPE}	－0.85	V
	低V_T型[注5]	NMOS	V_{TNL}	0.50	V
		PMOS	V_{TPL}	－0.55	V
	イニシャル型[注6]	NMOS	V_{TNI}	0.35	V
		PMOS	V_{TPI}	－1.20	V
	ディプリーション型[注7]	NMOS	V_{TND}	－0.30	V
		PMOS	V_{TPD}	0.30	V
ポリシリコン低抵抗		RPL		25	Ω/□
ポリシリコン高抵抗		RPH		2.0	kΩ/□
N型拡散抵抗		RND		2.5	kΩ/□
P型拡散抵抗		RPD		5.5	kΩ/□
基板				P-SUB	－

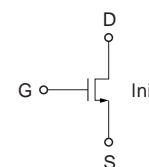
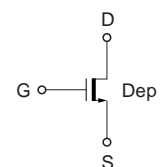
注4：エンハンスメント（enhancement）型とは，$V_{GS}>0$のゲート電圧を加えたときにチャネルが形成されてドレイン電流が流れるトランジスタのこと．
注5：低（low）V_T型のトランジスタとは，エンハンスメント（enhancement）型の一種で，しきい値電圧V_Tが低めに設定されたトランジスタのこと．動作点の厳しい箇所やエンハンスメント型との組み合わせでカスコード接続する場合などに使用される．
注6：イニシャル（initial）型のトランジスタとは，V_T調整用の基板表面へイオン注入を行っていないトランジスタのこと．
注7：ディプリーション（depletion）型とは，ゲート電圧が0Vでもチャネルが形成されてドレイン電流が流れるトランジスタのこと．

NMOSトランジスタ（ボディ端子：GND）　PMOSトランジスタ（ボディ端子：V^+）

（**a**）4端子シンボル　（**b**）3端子シンボル

図3
MOSトランジスタの記号（D：ドレイン，G：ゲート，B：ボディ，S：ソース）
本連載では，ボディ端子がNMOSで回路のGNDに，PMOSで回路のV^+に接続されている場合は，ボディ端子を省略した記号を使用する．

（**a**）エンハンスメント型　（**b**）低V_T型　（**c**）イニシャル型　（**d**）ディプリーション型

図4
MOSトランジスタの種類（NMOSの3端子記号の場合，D：ドレイン，G：ゲート，S：ソース）
本連載で使用するエンハンスメント型，低V_T型，イニシャル型，ディプリーション型トランジスタの記号．

できます．従って，各トランジスタを**図4**のような記号で表すことにします．

● MOSトランジスタの直流特性

MOSトランジスタは，ゲート-ソース間電圧$V_{GS} > V_T$のバイアス状態で，ドレイン-ソース間電圧V_{DS}の大きさにより，二つの動作領域に分けられます．

(1) $V_{DS} < V_{GS} - V_T$のとき

この動作条件でのMOSトランジスタの動作領域を非飽和（線形）領域と呼び，ドレイン電流I_Dは次式で表されます．

$$I_D = \mu C_{ox} \frac{W}{L} \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}{}^2}{2} \right\}$$

μはキャリアの移動度で，NMOSの移動度をμ_n，PMOSの移動度をμ_pと表記します．代表的な値は，$\mu_n = 450 \sim 650$［cm²/V・s］，$\mu_p = 150 \sim 200$［cm²/V・s］です．これは，まったく同一のトランジスタ・サイズ，しきい値電圧，バイアス条件で，NMOSとPMOSでは電流能力が異なることを意味します．また，C_{ox}は単位面積当たりのゲート容量であり，次式で与えられます．

$$C_{ox} = \frac{\varepsilon_0 \varepsilon_{ox}}{t_{ox}}$$

ここで，ε_0は真空の誘電率，ε_{ox}はゲート酸化膜の比誘電率，t_{ox}はゲート酸化膜の厚みを表します．PWM01で使用するプロセスでは，$\varepsilon_0 = 8.854 \times 10^{-14}$［F/cm］，$\varepsilon_{ox} = 3.9$，$t_{ox} = 270$［Å］より，

$$C_{ox} = \frac{8.854 \times 10^{-14} \times 3.9}{270 \times 10^{-8}} = 1.279 \times 10^{-7} \left[\mathrm{F / cm^2} \right]$$

となります．

(2) $V_{DS} \geqq V_{GS} - V_T$のとき

この条件での動作領域を飽和領域と呼び，ドレイン電流I_Dは次式で表されます．

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

ここで，λをチャネル長変調[注8]パラメータといい，値が大きいほどチャネル長変調が強いことを表します．一般的にMOSトランジスタのチャネル長Lを大きくすることで，チャネル長変調を抑える（λを小さくする）ことができます．

チャネル長変調を無視した場合は，

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$$

となります．

図5にドレイン電流I_Dとドレイン-ソース間電圧V_{DS}との関係を示します．非飽和領域と飽和領域の境界となるドレイン-ソース間電圧は

$$V_{DS} = V_{GS} - V_T = V_{DS(\mathrm{sat})}$$

となります．

CMOSアナログ回路の設計において，MOSトランジスタはスイッチとして用いる場合を除いて，基本的にはドレイン-ソース間電圧$V_{DS} \geqq V_{DS(\mathrm{sat})}$として，飽和領域で動作するように設計します．

図5　ドレイン電流I_D-ドレイン-ソース間電圧V_{DS}特性
非飽和領域と飽和領域の境界となるドレイン-ソース間電圧は$V_{DS} = V_{GS} - V_T = V_{DS(\mathrm{sat})}$となる．

● MOSトランジスタの小信号特性

アナログ回路の解析では，直流解析と交流小信号解析に分けて行います．ここでは，$V_{GS} > V_T$，かつ飽和領域$V_{DS} \geqq V_{DS(\mathrm{sat})}$におけるMOSトランジスタの小信号特性について，簡単に紹介します．

(1) トランスコンダクタンスg_m

MOSトランジスタのドレイン電流I_D-ドレイン-ソース間電圧V_{GS}特性を**図6**に示します．このとき，MOSトランジスタのトランスコンダクタンスg_mは微小電圧の変化ΔV_{GS}に対する微小電流の変化量ΔI_Dで定義され，

注8：チャネル長変調とは，MOSトランジスタのチャネル長Lが，V_{DS}の増加とともにチャネル端とドレイン端の空乏層の幅$\varDelta L$が増加し実効チャネル長（$L - \Delta L$）が短くなりドレイン電流が増加する現象のこと．

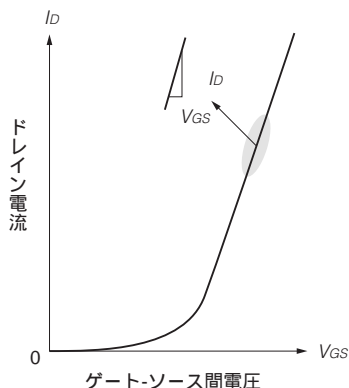



図6　ドレイン電流 I_D-ゲート・ソース間電圧 V_{GS} 特性
トランスコンダクタンス g_m は微小電圧の変化⊿ V_{GS} に対する微小電流の変化量⊿ I_D で定義される．

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \mu C_{ox}\frac{W}{L}\left(V_{GS}-V_T\right)\left(1+\lambda V_{DS}\right)$$

と表されます．チャネル長変調を無視できる場合は，

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \mu C_{ox}\frac{W}{L}\left(V_{GS}-V_T\right) = \sqrt{2\mu C_{ox}\frac{W}{L}I_D}$$

となります．

(2) **ドレインコンダクタンス g_d**

MOSトランジスタのドレイン電流 I_D-ドレイン-ソース間電圧 V_{DS} 特性を**図7**に示します．

このとき，MOSトランジスタのドレインコンダクタンス g_d は微小電圧の変化 ΔV_{DS} に対する微小電流の変化量 ΔI_D で定義され，

$$g_d = \frac{\Delta I_D}{\Delta V_{DS}} = \frac{\lambda I_D}{1+\lambda V_{DS}} \cong \lambda I_D$$

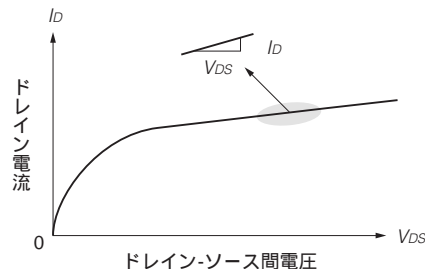



図7　ドレイン電流 I_D-ドレイン・ソース間電圧 V_{DS} 特性
ドレイン・コンダクタンス g_d は微小電圧の変化⊿ V_{DS} に対する微小電流の変化量⊿ I_D で定義される．

と表されます．ここで，ドレインコンダクタンスの逆数をMOSトランジスタの出力抵抗 r_0 といい，$r_0 = \frac{1}{g_d}$ で表します．

＊　＊　＊

次回より，PWM01の基準電圧源，基準電流源，電圧レギュレータ，OPアンプ，加算＋リミッタ・アンプ，発振器，PWM比較器，低電圧誤動作防止回路，出力段などの各ブロックの回路設計を進めていきます．今回，PWM01を回路設計していく上でよく使用する式を簡単に紹介しました．詳しくは参考文献などを参照してください．

参考・引用*文献

(1)　谷口研二；CMOSアナログ回路入門，CQ出版社，2005年．
(2)　Behzad Razavi（著），黒田忠広（監訳）；アナログCMOS集積回路の設計 基礎編/応用編，丸善，2003年．
(3)　吉澤浩和；CMOS OPアンプ回路 実務設計の基礎，CQ出版社，2007年．

よしだ・はるひこ
新日本無線（株）

<著者プロフィール>
吉田晴彦．1985年に新日本無線に入社，プロセス開発や電源IC設計などに従事，現在ミックスト・シグナルIC設計部門に所属．